

MASS PRODUCTION OF INTEGRATED CIRCUITS

Publication number: JP3132061

Publication date: 1991-06-05

Inventor: KAZAMI AKIRA; YAMAGISHI MASAKAZU;
ISHIHARA SUMIO; TAKAHASHI KIYOSHI

Applicant: SANYO ELECTRIC CO

Classification:

- International: H01L23/50; H05K1/00; H05K1/02;
H05K3/00; H01L23/48; H05K1/00;
H05K1/02; H05K3/00; (IPC1-7): H01L23/50

- European:

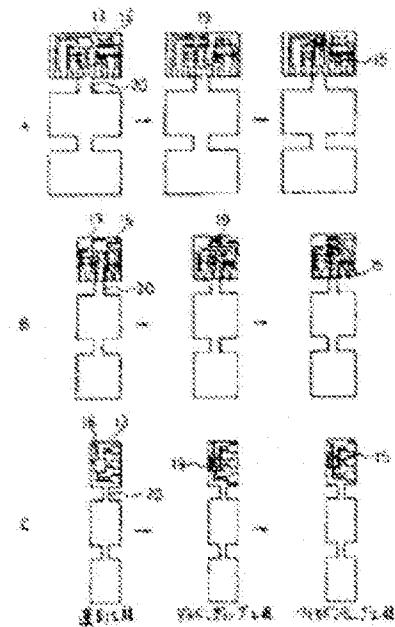
Application number: JP19890270608 19891018

Priority number(s): JP19890270608 19891018

[Report a data error here](#)

Abstract of JP3132061

PURPOSE: To enable a small amount of a variety of integrated circuits to be produced efficiently by performing processes for forming a printed-circuit board, which are common to all models, for one ribbon-shaped printed-circuit board simultaneously and by allowing individual integrated circuit printed-circuit boards to be fed in the interlocking state in the assembly process. CONSTITUTION: An index hole is formed in the longitudinal direction of an insulation printed-circuit board in ribbon shape. Also, a recognition symbol for the printed-circuit board process is formed at the edge part of the printed-circuit board. Then, the recognition symbols of the printed-circuit board process are recognized at a large number of sections of this printed-circuit board, thus forming a plurality of conductive patterns 15. Further, a recognition symbol 16 corresponding to each pattern 15 is printed. Also, a resistor element is formed for each section. Then, individual integrated printed-



circuit boards 13, 13,... are separated from the printed-circuit board while they are interlocked. Then, the interlocked printed-circuit board 13 is screened for the same model with the same conductive pattern 15, for example A, B, and C, according to the symbol 16, and then an exclusive assembly process is performed for each model. As a result, the printed-circuit boards 13, 13,... which are formed at random on the printed-circuit board are classified according to the type and then an individual assembly process proceeds.

Data supplied from the **esp@cenet** database - Worldwide

⑪ 公開特許公報 (A) 平3-132061

⑫ Int. Cl.⁵
H 01 L 23/50識別記号 庁内整理番号
A 9054-5F

⑬ 公開 平成3年(1991)6月5日

審査請求 未請求 請求項の数 4 (全8頁)

⑭ 発明の名称 集積回路の多量製造方法

⑮ 特 願 平1-270608

⑯ 出 願 平1(1989)10月18日

⑰ 発明者 風見 明	大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑰ 発明者 山岸 正和	大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑰ 発明者 石原 純夫	群馬県山田郡大間々町大間々414-1 東京アイシードット 会社内
⑰ 発明者 高橋 清	群馬県山田郡大間々町大間々414-1 東京アイシードット 会社内
⑰ 出願人 三洋電機株式会社	大阪府守口市京阪本通2丁目18番地
⑰ 代理人 弁理士 西野 卓嗣	外2名

明細書

1. 発明の名称

集積回路の多量製造方法

2. 特許請求の範囲

(1) リボン状の絶縁基板にその長さ方向に異種サイズの導電パターンに対応した間隔でインデックス孔を形成する工程と、

前記絶縁基板の余白部に前記導電パターンに対応する基板工程用認識記号を形成する工程と、

前記インデックス孔により割り出された前記絶縁基板の幅方向の一の区画にはその区画に対応する前記基板工程用認識記号に従う一の種類の複数の同一サイズの導電パターンを形成し、長さ方向の他の区画にはその区画に対応する前記基板工程用認識記号に従う他の種類の同一サイズの導電パターンを形成する工程と、

前記絶縁基板より同一区画の同一の導電パターンを含む個別集積回路基板を連結して分離し、同一の導電パターンを有する連結した個別集積回路基板毎に選別する工程と、

前記同一の導電パターンを有する連結した個別集積回路基板毎に専用の組立ラインで前記導電パターン上の所望位置に半導体素子を固定し且つボンディング細線による各導電パターンとの接続を行う工程とを具備することを特徴とする集積回路の多量製造方法。

(2) 前記インデックス孔で割り出される前記絶縁基板の幅方向の一の区画に幅方向にスクリーン印刷をしてその区画に対応する前記基板形成用認識記号に従う一の種類の複数の同一サイズの導電パターンのレジスト層を形成し、その後前記インデックス孔で割り出される幅の方向の他の区画に幅方向にスクリーン印刷をしてその区画に対応する前記基板工程用認識記号に従う他の種類の複数の同一サイズの導電パターンのレジスト層を形成する工程を特徴とする請求項1記載の集積回路の多量製造方法。

(3) リボン状の絶縁基板にその長さ方向に異種の導電パターンに対応した間隔でインデックス孔を形成する工程と、

前記絶縁基板の余白部に前記導電パターンに対応する基板工程用認識記号を形成する工程と、

前記インデックス孔により割り出された前記絶縁基板の幅方向の一の区画にはその区画に対応する前記基板工程用認識記号に従う一の種類の複数の同一サイズの導電パターンおよび個別の機械識記号を形成し、長さ方向の他の区画にはその区画に対応する前記基板工程用認識記号に従う他の機械識記号を形成する工程と、

前記絶縁基板より同一区画の同一の導電パターンを含む個別集積回路基板を連結して分離し、同一の導電パターンを有する連結した個別集積回路基板毎に選別する工程と、

前記同一の導電パターンを有する連結した個別集積回路基板毎に専用の組立ラインで前記導電パターンの所望位置に半導体素子を接着し且つボンディング細線による各導電パターンとの接続を行う工程とを具備することを特徴とする集積回路の多量製造方法。

4-14号公報に提案し、以下にその製造方法を第3図乃至第6図を参照して説明する。

まず第3図に示す如く、長板状の金属基板(1)を準備し、基板(1)の長手方向に一定間隔でインデックス孔(2)あるいはスリット孔(3)を形成する。金属基板(1)としては1mm厚のアルミニウムを用い、例えば7.0mm×10.0mmの長板サイズとする。インデックス孔(2)あるいはスリット孔(3)はいずれかが形成され、完成される集積回路が大きいものには第3図Bの如くスリット孔(3)を用い、逆に小さいものは第3図Aの如くインデックス孔(2)を用いる。このインデックス孔(2)あるいはスリット孔(3)はプレスで打抜かれ、後工程の機械的手段による位置の割り出しとして用いられる。従って完成される混成集積回路の大きさに従ってインデックス孔(2)あるいはスリット孔(3)の間隔が選ばれる。更に詳述すると第3図Aは基板(1)の幅方向の両端にインデックス孔(2)を設け、インデックス孔(2)で割り出される区画(4)に2個の集積回路を備えている。第3図Bは

(4) 前記機械識記号としてバーコードを用いることを特徴とする請求項3記載の集積回路の多量製造方法。

3. 発明の詳細な説明

(1) 産業上の利用分野

本発明は集積回路の多量製造方法。特に多品種の集積回路を同時に多量に製造できる集積回路の多量製造方法に関する。

(2) 従来の技術

従来の半導体素子の多量製造方法としては特公昭45-1137号公報の如きパンチングメタルフレーム方法および特公昭47-3206号公報のフィルムキャリア方法が知られている。しかしながらこれらの方法が適用されるのは電力消費の小さいモリシック集積回路に限られ、また各リード片は自己支持されなくてはならないのである程度以上に細くできずピン数の多い大規模集積回路には適していないのである。

上述した従来の欠点を大幅に改善した集積回路の多量製造方法を本願出願人は特公昭63-29

基板(1)の幅方向に長いスリット孔(3)で各区画(4)を区切り、区画(4)に1個の集積回路を形成するものである。これから明らかなる様に基板(1)の幅を標準化することによって同一サイズの基板(1)で様々な大きさの集積回路を形成できる。

次に第4図に示す如くインデックス孔(2)あるいはスリット孔(3)で割り出される基板(1)上の多数の区画(4)…(4)に導電パターン(5)を形成する。区画(4)内には一つあるいは複数の導電パターン(5)が形成でき、また異種の導電パターン(5)を同一区画(4)内あるいは異なる区画(4)に形成できる。

前述した基板(1)は周知の陽極酸化によってその表面に酸化アルミニウム被膜(図示せず)が形成され、更に基板(1)の一正面に第5図に示す如く導電パターン(5)が形成される。先ず第5図Aの如く導電金属箔(6)例えば鋼箔が接着される。金属箔(6)表面はスクリーン印刷によって所望の導電パターン(5)を露出してレジスト(7)でマスクされ、貴金属(金、銀、白金)メッキ層(8)が第

6 図 8 の如く金属箔(6)表面にマッキされる。然る後レジストを除去して貴金属マッキ層(8)をマスクとして金属箔(6)のエッチャングを行い第 6 図 C の如く所望の導電パターン(5)…(5)が形成される。スクリーン印刷による導電パターン(5)…(5)の細さは 0.5 μ m が限界であるので、極細配線を必要とするときは周知の等真鍮刻技術に依り約 2 μ m までの極細導電パターン(5)…(5)が可能となる。極細導電パターン(5)は従来のパンチングメタルフレームやフィルムキャリアでは出来なかつたがこの方法では可能となり、ピン数の多い大規模集積回路の組立や高周波回路に利用できる。

尚本工程で多層配線が必要なときは形成された導電パターン(5)上に更にポリイミドなどの絶縁層を形成しその上にスクリーン印刷で導電塗料を印刷して焼成することで実現できる。

また本工程で抵抗等の回路素子を組込むときは周知のスクリーン印刷技術によって抵抗塗料を金属基板(1)に印刷して焼成して形成する。

統一して第 5 図に示す如く、導電パターン(5)の

要とする回路素子にはシリコンレジンを塗布して素子およびポンディング細線を保護する。また斯る素子はトランスマッカモールドにより部分的にモールドができる。

斯上の工程の後金属基板(1)に連結された状態で完成された多数の集積回路はプレスによって金属基板(1)から個別集積回路として分離される。このプレスはインデックス孔(2)あるいはシリット孔(3)に従って機械的に位置を割り出して行なえるので極めて効率が良い。このプレスでは錐型金型の周端部のみを基板(1)に当接させて行うので基板(1)上の素子は影響を受けない。

個別集積回路には外部リードが半田付けされた後樹脂ケースで封止するかエポキシ樹脂のディビングによってシールを行って完成される。

(八) 並列が解決しようとする課題

斯上した改良された従来の集積回路の多量製造方法では、一つの長板状の金属基板(1)には同一の導電パターン(5)を一の区画(4)に一つあるいは複数個形成しており、一つの金属基板(1)から一

所望のパッド(51)上に半導体集積回路等の半導体素子(9)を導電ペーストを用いて固定し、パッド(51)に隣接する導電パターン(5)と対応する半導体素子(9)の電極とを金あるいはアルミニウム細線でポンディングして接続する。

然る後インデックス孔(2)あるいはシリット孔(3)を用いて機械的にコマ送りを行いながら測定される導電パターン(5)に通電して半導体素子(9)および他の回路素子を含む回路機能検査を行う。斯る検査で抵抗等が組込まれている場合はファンクションアルトリミングをして回路機能の調整を行い、更に半導体素子(9)が所定の回路機能を出さないときは半導体素子(9)を除去して再生を行い半導体素子(9)を組み替えて再生を行なう。また必要ならばポンディング細線の接着強度の測定も行なえる。

即ち本工程では封止前に回路機能検査を連続された状態で行なえるので極めて効率よく測定やトリミングが行なえ且つ不良品の再生もできるので大幅な歩留向上を達成される。

更に斯る検査後半導体素子(9)および保護を必

要とする回路素子にはシリコンレジンを塗布して素子およびポンディング細線を保護する。また斯る素子はトランスマッカモールドにより部分的にモールドができる。

また一の区画(4)あるいは異なる区画(4)に異なる導電パターン(5)を形成してもその組み合せは固定されており、個別集積回路に分離されるまでは一体化して製造工程を流されるので夫々の組立工程を必ず通る必要があり、極めて製造効率が悪い問題点があった。

更に定められた品種の多量生産には適していたが、多品種少量生産には不適である問題点もあった。

(九) 課題を解決するための手段

本発明は斯上した諸々の問題点に鑑みてなされ、リボン状の絶縁基板にインデックス孔により割り出される区画にその余白部に設けた基板工程用認識記号に対応する複数の異なる導電パターンを形成し、各集積回路に共通する基板形成工程を終了した後連結した個別集積回路に分離し、個別集積回路を同一の導電パターンを有する機種毎に選別し、各機種毎に専用の組立工程を行うことに

より、従来の問題点を改良した集積回路の多量製造方法を実現するものである。

(*) 作 用

本発明に依れば、リボン状の絶縁基板にインデックス孔で割り出される幅方向の区画に基板工程用認識記号に対応した同一の複数の導電パターンを形成し、各導電パターンに夫々同一機種毎に個別の認識記号を付し、基板形成工程終了後に絶縁基板より個別集積回路基板を連結して分離し、この連結した個別集積回路基板を認識記号に従って同一機種毎に選別して、個別機種毎に専用の組立工程を行う。この結果、各機種に共通する基板形成工程を同時に多量に処理でき、各機種毎に異なる組立工程を個別の専用組立ラインで行うので極めて効率の良い多機種少量生産を行なえる特徴を有する。

(*) 実 施 例

以下に第1図および第2図を参照して本発明の様々の実施例を説明する。

まず第1図Aに示す如く、リボン(長板)状の

最初のインデックス孔(12)で決まる区画(14)には基板工程用認識記号(21)に対応した同一機種A、A、Aが3列ほど基板(11)の幅方向に配列されている。次の異なる間隔のインデックス孔(12)で決まる区画(14)には他の基板工程用認識記号(21)に対応した異種の同一機種B、B、Bが3列ほど同様に配列されている。更に次の異なる間隔のインデックス孔(12)で決まる区画(14)には他の基板工程用認識記号(21)に対応した更に異種の同一機種C、C、Cが3列ほど同様に配列されている。繰りて次の区画にはAが、その次の区画にはCが同様に配列される。従ってこの配列パターンを本実施例ではA-B-C-A-Cと決めているが、A-A-B-B-Cでも、A-A-A-B-Cでも任意に決められ、最終的にA、B、Cの機種の必要個数に応じて決定できる。

また同一区画(14)内の個別集積回路基板(13)はその中央付近で隣接する基板(13)と連結細条(20)で連結され、組立工程においても複数個の個別集積回路基板(13)も一体として流す。

絶縁基板(11)を用意し、基板(11)の長手方向に所望の間隔で両端にインデックス孔(12)を形成する。絶縁基板(11)としては0.5~1mm厚の金属、例えばアルミニウムを用い、具体的には1.0~0.9mm×100.0~0.0mmのリボンサイズとする。この絶縁基板(11)は給送用の大口径、例えば直径1.0mのローラーに巻き取られており、このローラーから順次送り出される。絶縁基板(11)にはその両端にプレス機で所定の間隔、具体的には形成される導電パターンのサイズに対応した間隔でインデックス孔(12)が打ち抜いて形成され、後工程の機械的手段による位置の割り出しおよび基板の送り用として用いられる。

またインデックス孔(12)を設けた絶縁基板(11)の端部には、はじめ基板工程用認識記号(21)を形成する。基板工程用認識記号(21)はバーコードを用い、区画(14)に形成する導電パターン(15)と対応させている。

更に具体的に説明すると、第1図Aに点線で示す領域が個別集積回路基板(13)であり、右側より

なお第1図Aでは3列のパターンのみしか示していないが、列は任意に設定できることは明白であり、区画(14)により列の数を変更もできる。

次に第1図Bに示す如く、インデックス孔(12)で割り出される基板(11)の多数の区画(14)…(14)に基板工程用認識記号(21)を認識して対応する導電パターン(15)を形成する。導電パターン(15)の形成は従来と同様に第6図に示す方法で達成される。即ち、アルミニウムの基板(11)は周知の陽極酸化によってその表面に酸化アルミニウム被膜(図示せず)が形成され、更に基板(11)の一表面に第1図Bに示す如く導電パターン(15)が形成される。先ず第6図Aの如く導電金属箔(6)例えば鋼箔が粘着される。金属箔(6)表面はスクリーン印刷によって所望の導電パターン(15)を露出してレジスト(7)でマスクされ、貴金属(金、銀、白金)メッキ層(8)が第6図Bの如く金属箔(6)表面にメッキされる。然る後レジストを除去して貴金属メッキ層(8)をマスクとして金属箔(6)のエッチングを行い第6図Cの如く所望の導電パターン(15)

6)…(15)が形成される。スクリーン印刷による導電パターン(15)…(15)の細さは0.5mmが限界であるので、細線配線を必要とするときは周知の等离子刻技術に依り約2μまでの極細導電パターン(15)…(15)が可能となる。

本工程で大切な点は、レジスト(7)のスクリーン印刷である。レジスト(7)のスクリーン印刷はインデックス孔(12)で割り出された一つの区画(14)に対して行なわれ、印刷方向は絶縁基板(11)の軸方向となる。従って、予じめ導電パターン(15)の配列に対応した、例えばA-A-A-A, B-B-B-B, C-C-C-C等のシルクマスクを用意し、基板工藝用認識記号(21)を検出して対応するシルクマスクでレジスト(7)をスクリーン印刷する。

更に本工程では、スクリーン印刷時に各導電パターン(15)に対応した個別の識別記号(16)を印刷する。即ち、第1図Bでは余白部にバーコードを印刷し、鋼箔のバターンで識別記号(16)を入れる。なお識別記号(16)の他の形成方法を第2図に示す。第2図では余白部に形状の異なる、例えば

円、四角、三角等のパンチング孔(17)を形成している。

なお第1図Bで点線で示す各領域には夫々導電パターンが形成されているが、図面上は省略されている。

次に第1図Cに示す如く、抵抗素子(18)の形成をする。抵抗素子(18)は同様に区画(14)毎に所定のシルクマスクを用いて抵抗ペーストをスクリーン印刷して焼成して形成する。

上述した第1図Aから第1図Cが基板形成工程であり、いかなる機種の集積回路も不可避の工程である。本発明では多品種を同一のリボン状の基板(11)上に形成して同時に多量製造する点に特徴がある。

次に第1図Dに示す如く、基板(11)より個別集積回路基板(13)…(13)をプレスによって連結した状態で分離する。このプレスはインデックス孔(12)により機械的に位置の割り出しを行い、雄型金型で基板(13)…(13)の周端のみを当接させて基板(13)の反りを利用して打抜く。従って基板(13)…

(13)上の素子は何ら影響を受けない。同一区画(14)内の基板(13)は連結細条(20)で連結され、後の組立工程をこの状態で流される。

次に第1図Eに示す如く、連結した個別集積回路基板(13)を認識記号(16)に従って同一の導電パターン(15)を有する同一機種、例えばA, B, C毎に選別し、その後各機種毎に専用の組立工程を流す。

本工程の特徴は基板(11)より分離された種々の機種の連結された個別集積回路基板(13)…(13)を認識記号(16)を検出して夫々の機種に分類している。この結果、基板(11)上にランダムに形成された種々の機種の個別集積回路基板(13)…(13)を個々の機種に選別され、その後個別の組立工程へと移行していく。

組立工程では各機種毎に載置する半導体素子(19)、チップコンデンサ、チップ抵抗が異なるので、各機種毎の組立を行う方がはるかに効率が良くなる。組立工程は半導体素子(19)やチップ部品を導電パターン(15)上に載置するダイポンディング

工程と、半導体素子(19)の電極と対応する導電パターン(15)とを金あるいはアルミニウムのポンディングワイヤで接続するワイヤポンディング工程と、回路機能検査や特性の調整を行うファンクションアルトリミング等を行う検査工程より構成されている。ダイポンディング工程では、導電パターン(15)の所望位置に半導体集積回路等の半導体素子(19)を導電ペーストを用いて固着し、チップ部品(図示せず)は半田付けする。次にワイヤポンディング工程では、自動デジタルポンダー装置により半導体素子(19)の電極と導電パターン(15)とをバターン認識しながら超音波ポンディングあるいはホールヘッドポンディングによりポンディングワイヤで自動的に接続する。検査工程では、導電パターン(15)に通電して半導体素子(19)および他の回路素子を含む回路機能検査を行う。斯る検査で抵抗等が組込まれている場合はファンクションアルトリミングをして回路機能の調整を行い、更に半導体素子(19)が所定の回路機能を出さないときは半導体素子(19)を除去して再生を行い

歩留の大幅向上をはかる。また必要ならばポンディング細線の接着強度の測定も行なえる。即ち本工程では封止前に回路機能検査を連結された状態で行なえるので極めて効率よく測定やトリミングが行なえ且つ不良品の再生もできるので大幅な歩留向上を達成される。更に斯る検査後半導体素子(19)および保護を必要とする回路素子にはシリコンレジンを塗布して素子およびポンディング細線を保護する。また斯る素子はトランスマルチモードにより部分的にモールドができる。

上述した組立工程では個別集積回路基板(13)は常に連結された状態で流れているので、工程での取り扱いが容易であり、選別するときの回数も減らせる。

更に検査工程を終了した個別集積回路は連結細条(20)で切断して個別集積回路基板(13)…(13)に分離した後、外部リードが半田付けされ、樹脂ケースで封止するかエポキシ樹脂のディビングによってシールを行って完成する。

(+) 発明の効果

すので、その機種に専用の半導体素子(19)やチップ部品を導電パターン(15)に載置するだけで良く、最短の組立工程時間で組立できる利点を有する。

更に組立工程で連結した状態で個別集積回路基板(13)を流すので、取り扱いがグループとなり单一のものに比べて極めて効率的である。

4. 構造の簡単な説明

第1図A乃至第1図Gは本発明の集積回路の多量製造方法を説明する上面図、第2図は本発明の他の実施例を説明する上面図、第3図乃至第6図は従来の集積回路の多量製造方法を説明する上面図および断面図である。

出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名

本発明に依れば、すべての機種に共通する基板形成工程を一つのリボン状の基板(11)で同時に行い、組立工程は各機種毎に専用で行っているので、多品種少量生産においても多量製造の利点を得ることができる。

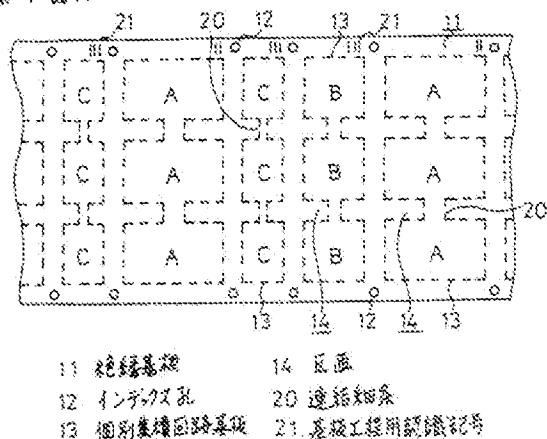
更に基板(11)上にはその余白部に基板工程用認識記号(21)を設け、この基板工程用認識記号(21)を検出して導電パターン(15)のスクリーン印刷を行うので、異種の導電パターン(15)のスクリーン印刷を自動的に行なえる利点を有する。

次に基板(11)上には任意の機種の配列ができるので、各機種の生産数量に対応して個別集積回路(13)の配列を選択でき、極めてフレキシブルな生産を実現できる利点を有する。

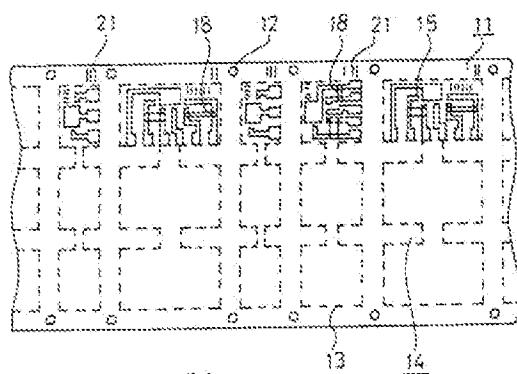
更に基板(11)上の個別集積回路(13)には固有の認識記号(16)を導電パターン(15)のスクリーン印刷時に形成しているので、基板形成工程終了後に基板(11)から分離しても各機種毎の選別が極めて容易に行なえる利点を有する。

更に組立工程は各機種専用の組立てラインを流

第1図A

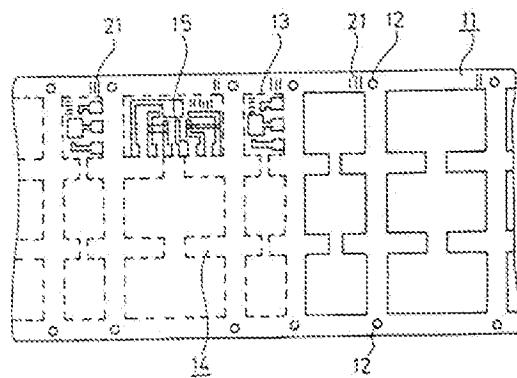


◎ 1 ◎ C



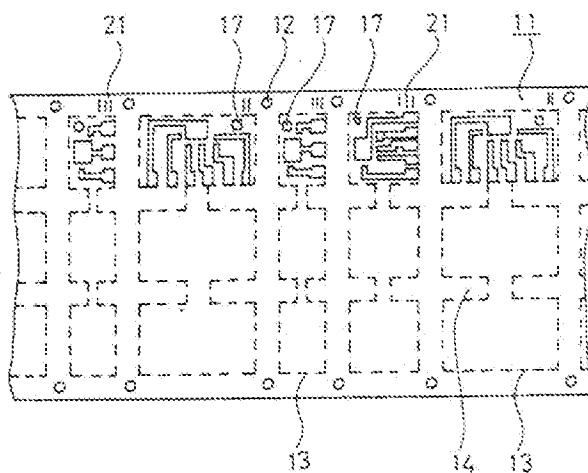
18 機械電子

◎ 1 ◎ D

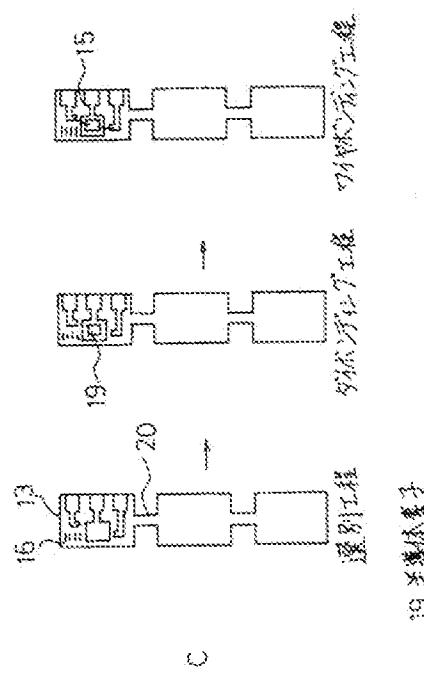
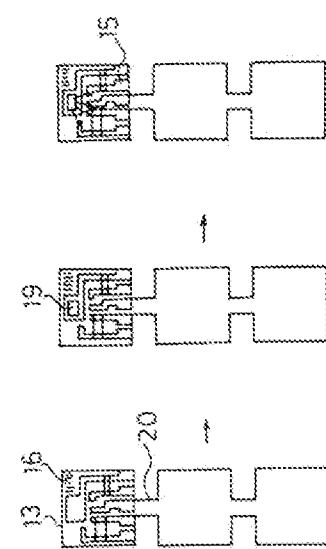
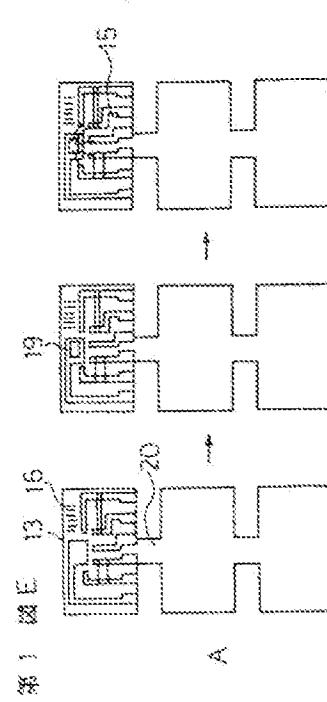


18 機械電子

◎ 2 ◎

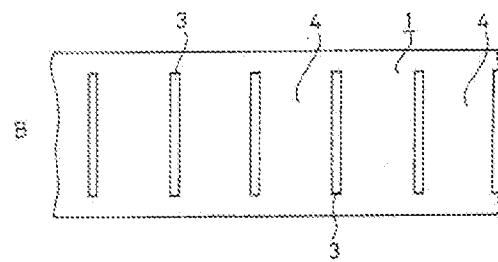
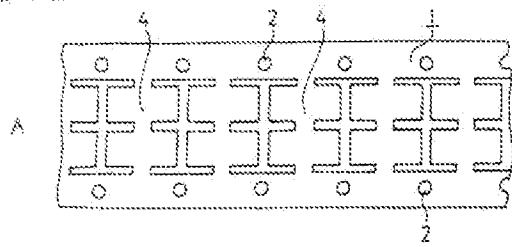


13 13

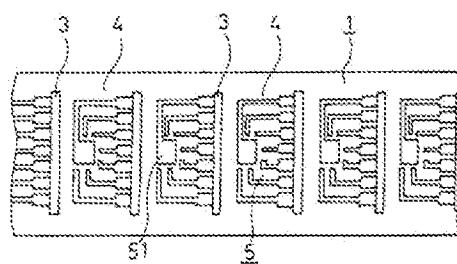


18 機械電子

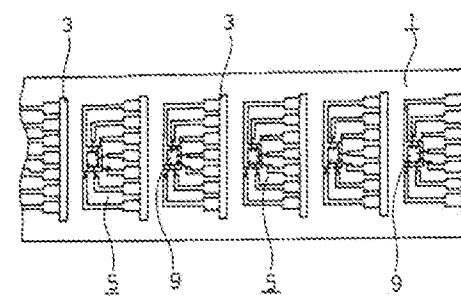
3 38



3 40



3 5 38



3 6 38

